

Логический ресинтез для повышения отказоустойчивости комбинационных схем при одиночных сбоях

Г.А. Иванова, Д.И. Рыжова

Национальный исследовательский университет "МИЭТ", Москва

Аннотация: В статье рассматриваются методы защиты логических элементов комбинационных схем от одиночных отказов. До недавнего времени проблема создания микроэлектронных устройств, устойчивых к единичным отказам в логических элементах, была актуальна преимущественно в военной и космической промышленности. В этих областях предъявляются повышенные требования к отказоустойчивости схем, поскольку последние функционируют под воздействием внешних дестабилизирующих факторов. Такими факторами могут быть тяжелые заряженные частицы, влияющие на работу логических элементов и вызывающие их единичные отказы. В связи с масштабированием полупроводниковых устройств меняются технологические стандарты проектирования и изготовления интегральных схем, и проблема отказоустойчивости становится актуальной и для устройств гражданского рынка. В статье предложена методика ресинтеза уязвимых участков логических комбинационных схем. Для оценки устойчивости предлагается использовать логические ограничения, полученные методом резолюций.

Ключевые слова: ресинтез, комбинационные схемы, надежность, логические корреляции, метод резолюций.

Введение

В связи с масштабированием размеров устройств микроэлектроники увеличивается набор правил проектирования и усложняется процесс изготовления таких устройств. С одной стороны, масштабирование необходимо для обеспечения высокой плотности транзисторов на кристалле, повышенной энергоэффективности и производительности цифровых схем. С другой стороны, такие положительные эффекты сопряжены с растущим влиянием динамического тока потребления схем, высокой сложностью верификации правил проектирования, повышенными требованиями к отказоустойчивости и радиационной стойкости устройств [1], а также с растущим количеством дефектов на этапе производства. Таким образом, задача ресинтеза комбинационных схем на ранних этапах маршрута проектирования с учетом повышенных требований к отказоустойчивости является актуальной, поскольку позволяет избежать ситуаций, приводящих к

возникновению одиночных отказов [2], и упростить анализ отказоустойчивости на последующих этапах за счет удаления из пространства решений подмножества, которое заведомо невозможно по логике работы комбинационной схемы.

Подходы к анализу одиночных отказов можно разделить на две группы. К первой группе относится использование наборов векторов входных сигналов, содержащих ошибку [3]. Для каждого набора с ошибкой производится полное моделирование схемы и по результирующему выходному вектору становится понятно, приведет ли такой сбой к некорректной работе схемы. Известно, что моделирование полного набора тестовых векторов требует больших затрат вычислительных ресурсов, поскольку сложность задачи экспоненциально зависит от количества входов схемы. Поэтому даже для схем с несколькими десятками входов такой подход требует большого времени обработки. Вторая группа использует методы статического анализа для решения задачи оценки отказоустойчивости. Методы обеспечивают более низкую оценку устойчивости к отказам. Недостатком подходов второй группы является необоснованная пессимистическая оценка.

В данной работе предлагается подход на основе анализа логических корреляций для ресинтеза комбинационных схем на логическом уровне с целью повышения устойчивости к одиночным сбоям частей схемы, имеющих особое значение. Анализ логических корреляций в цифровой схеме позволяет увеличить точность оценки отказоустойчивости по сравнению со статическим анализом. При этом данный подход требует меньше затрат на обработку информации по сравнению с моделированием полного набора тестовых векторов или максимального тестового покрытия.

Метод резолюций

Логические элементы имеют строго определенные правила поведения. Для каждой комбинации данных на входах логического элемента есть ограничение на возможные значения на выходах этого элемента. Например, низкий логический уровень (ноль) на одном из входов двухвходового элемента И накладывает ограничение на состояние выхода (также низкий логический уровень). Нарушение ограничения, то есть нарушение логики работы элемента, возможно только в случае неисправности этого элемента. Для определения набора логических ограничений в данной статье используется метод логических импликаций [4].

Логическая импликация — это отношение между двумя узлами цепи, которое описывается в следующем виде: $(a = n_1) \rightarrow (b = n_2)$, где n_1, n_2 — логические состояния в узлах схемы. Для записи логической импликации можно применить альтернативную форму с использованием литералов (литерал соответствует либо логической переменной, либо ее отрицанию) $\bar{a} \rightarrow b$ [5].

Для любого логического элемента можно определить набор связей между входами и выходом в виде логических следствий. Например, для двухвходовой ячейки И-НЕ такой набор будет записываться следующим образом:

$$\begin{aligned}\bar{a} &\rightarrow y, \\ \bar{b} &\rightarrow y, \\ \bar{y} &\rightarrow a, \\ \bar{y} &\rightarrow b,\end{aligned}$$

где a и b — входы комбинационной ячейки, а y — выход комбинационной ячейки. Таким образом, для двухвходовой ячейки И-НЕ верно, что низкий логический уровень на любом из входов определяет высокий логический уровень на выходе, а низкий логический уровень на выходе схемы определяет высокий логический уровень на обоих входах ячейки (рис. 1).

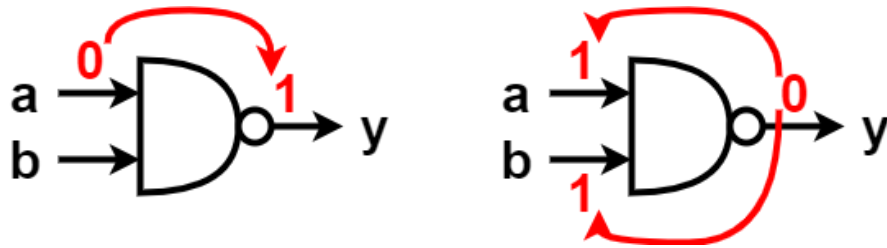


Рис. 1. – Связь между состояниями узлов элемента 2И-НЕ

Чтобы вывести новые логические ограничения из существующего набора, в данной работе предлагается использование модифицированного метода резолюций [6]. В котором для вывода новых логических ограничений надо суммировать ограничения отношений между элементами. Например, ограничения для двухвходовой ячейки И-НЕ можно записать в следующем виде:

$$aby + \bar{a}\bar{y} + \bar{b}\bar{y} = 0.$$

Здесь каждое слагаемое определено конкретной логической импликацией и накладывает запрет на одну из комбинаций логических значений булевых переменных (например, $\bar{a}\bar{y}$ – на комбинацию, когда вход a и выход y находятся в логическом нуле). Такой набор ограничений можно записать в виде $(aby, \bar{a}\bar{y}, \bar{b}\bar{y})$.

Для вывода новых ограничений можно рекурсивно использовать следующее правило резолюций:

$$aB = 0, \bar{a}C = 0 \rightarrow BC = 0,$$

где B и C – произведения литералов.

Рассмотрим комбинационную схему из трех логических элементов:

$$z = x + y, x = ab, y = bc \text{ (рис. 2).}$$

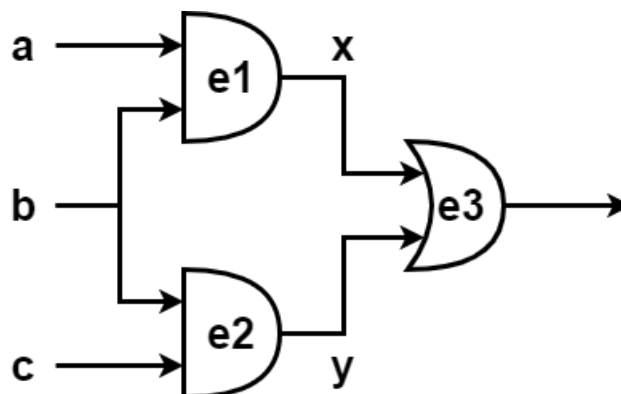


Рис. 2. – Схема логической функции $z = ab + bc$

Изначально есть следующие ограничения для этой схемы:

$$z\bar{x}\bar{y}, \bar{z}y, \bar{z}x, \bar{x}ab, x\bar{a}, x\bar{b}, \bar{y}bc, y\bar{b}, y\bar{c}.$$

Рекурсивное использование правила резолюции этих ограничений позволило получить:

$$\begin{aligned} \bar{z}y, \bar{y}bc &\rightarrow \bar{z}bc, \\ \bar{z}x, \bar{x}ab &\rightarrow \bar{z}ab, \\ z\bar{x}\bar{y}, x\bar{a}, x\bar{b} &\rightarrow z\bar{a}\bar{y}, z\bar{b}\bar{y}, \\ z\bar{a}\bar{y}, y\bar{b}, y\bar{c} &\rightarrow z\bar{a}\bar{b}, z\bar{a}\bar{c}, \\ z\bar{b}\bar{y}, y\bar{b}, y\bar{c} &\rightarrow z\bar{b}, z\bar{b}\bar{c}. \end{aligned}$$

После некоторых преобразований выходные зависимости можно записать следующим образом: $\bar{z}bc, \bar{z}ab, z\bar{a}\bar{c}, z\bar{b}$. Ограничения $z\bar{a}\bar{b}$ и $z\bar{b}\bar{c}$ можно опустить, поскольку $z\bar{b}$ уже включает их.

Методы повышения отказоустойчивости

На этапе логического синтеза необходимо учитывать, что появление одиночной ошибки на одном из вентилях комбинационной схемы не всегда может привести к ошибке на выходе. Появившаяся ошибка может маскироваться другими элементами и, как следствие, не влиять на логику схемы при некоторых комбинациях входных сигналов.

Например, в комбинационной схеме, показанной на рис. 3, ошибка, возникшая в элементе $e1$, будет обнаружена только в том случае, если узел c находится в состоянии низкого логического уровня. Если узел c находится в

состоянии высокого логического уровня, то схема будет работать корректно. Вероятность того, что ошибка не будет замаскирована и приведет к выходу из строя хотя бы одного из выходов комбинационной схемы — это наблюдаемость ошибки.

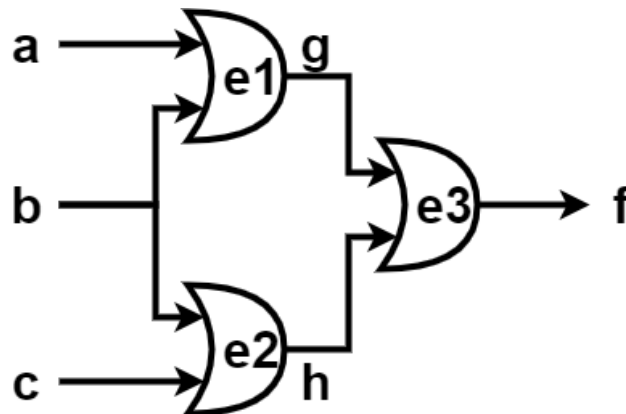


Рис. 3. – Пример комбинационной схемы

Одним из классических решений проблемы повышения отказоустойчивости является использование методов аппаратного резервирования [7-9]. Эти методы воспроизводят всю схему или ее наиболее уязвимые части с добавлением мажоритарной системы голосования. Основное преимущество таких методов состоит в том, что вероятность неисправности защищаемых участков схемы крайне мала. Если одна из копий выйдет из строя, остальные подсхемы замаскируют неисправность. Одним из недостатков таких систем является то, что мажоритарная схема также подвержена сбоям. Поэтому ошибочное функционирование мажоритарной системы все равно приводит к ошибочной работе всей схемы. Помимо этого, резервирование существенно увеличивает площадь схемы.

Еще одним решением для повышения отказоустойчивости является использование самокорректирующихся схем. Такие методы используют избыточное кодирование и коды исправления ошибок [10] для обнаружения и исправления ошибок. Надежность (отказоустойчивость) схем, синтезированных этими методами, может превышать надежность схем,

синтезированных методами аппаратного резервирования [11]. Однако такие методы еще больше увеличивают количество логических элементов, необходимых для реализации схемы.

Мы предлагаем использовать логический ресинтез схемы, в которой используется целевая функция, зависящая от ее отказоустойчивости. Это позволяет достичь компромисса между количеством логических элементов, необходимых для реализации схемы, и ее надежностью. Прежде всего необходимо определиться с методами и показателями для оценки надежности схемы.

Для того чтобы задать значение функции оценки отказоустойчивости комбинационных схем на логическом уровне без учета технологического процесса, можно использовать коэффициент логической чувствительности, описанный в работе [12]:

$$\alpha = \frac{1}{2^N} \sum_{X, e, |e|=1} E(X, e),$$

где $E(X, e)$ – характеристическая функция, которая зависит от вектора входных сигналов X и вектора ошибок e . Коэффициент логической чувствительности — это сумма вероятностей того, что ошибка, возникшая на каждом из элементов, не будет замаскирована и будет наблюдаться на выходах схемы [12].

Другой подход к определению функции оценки отказоустойчивости схемы — это использование рекурсивной функции потока ошибок (critical bit flow, CBF) [13]. Данную функцию можно вычислить по формуле:

$$CBF(a) = CriticalBits(a) + \sum_{b \in fanins(a)} \frac{CBF(b)}{NumOfFanout(b)}$$

где $CriticalBits(a)$ – число логических состояний ячейки a , при которых на выходах схемы появится ошибка, если в работе ячейки есть сбой; $fanins(a)$ –

множество логических ячеек, выходы которых являются входами для ячейки a ; $NumOfFanout(b)$ – количество входов ячейки b .

Функцию потока ошибок обычно используют «на лету» во время ресинтеза, так как она не требует дополнительных циклов моделирования. Вычисление производится очень быстро при проходе от выходов до входов схемы. Коэффициент логической чувствительности может дать более точную оценку и может быть использован для окончательной оценки отказоустойчивости комбинационной схемы.

Логический ресинтез комбинационных схем

Для оценки влияния сбоя в одной из ячеек на другие части схемы можно использовать информацию о логических связях между узлами. На основе этой оценки можно сделать вывод о критичности защиты отдельных подсхем. Например, на рис. 4 показана схема, в которой состояние низкого логического уровня в узле $n7$ влияет на состояние пяти узлов этой схемы, три из них находятся в выходном конусе логики. При этом один из трех узлов является выходом схемы. Поэтому неправильное состояние этого узла может вызвать ошибку в работе всей схемы. В то же время, если узел $n7$ находится в состоянии высокого логического уровня, то этой информации будет недостаточно для определения состояния других узлов схемы.

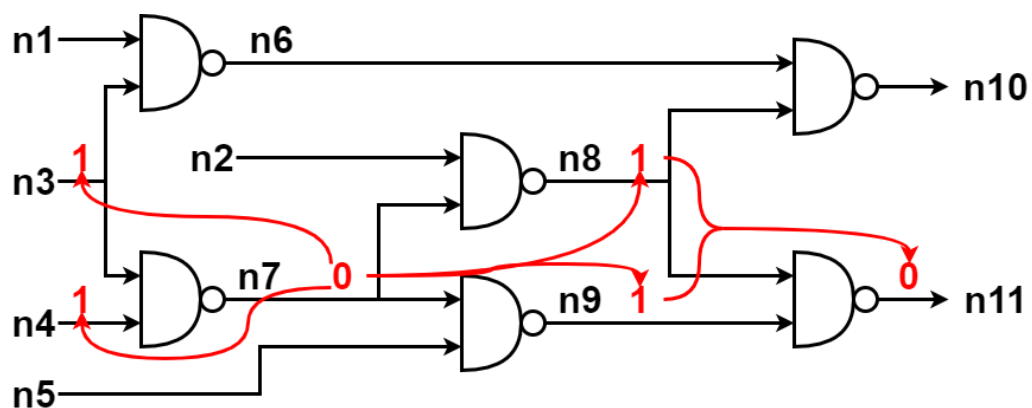


Рис. 4. – Корреляции между узлами комбинационной схемы

Таким образом, метод резолюций позволяет оценить, в каких ситуациях выход из строя логического элемента повлияет на корректную работу всего устройства. Если в узле возникла неисправность, значит логика его работы инвертируется.

Предположим, что единичный отказ происходит в элементе e_2 и инвертирует значения узла y в схеме, показанной на рис. 2. Логические ограничения для полученной схемы примут следующий вид:

$$z\bar{x}\bar{y}, \bar{z}y, \bar{z}x, \bar{x}ab, x\bar{a}, x\bar{b}, ybc, \bar{y}\bar{b}, \bar{y}\bar{c}.$$

Можно отметить, что инверсия логической функции элемента меняет слагаемое его выходного узла на противоположное во всех ограничениях для этого элемента.

Из этих логических ограничений мы можем получить новые ограничения для узла z , налагаемые входами схемы:

$$\begin{aligned} \bar{z}y, \bar{y}\bar{b}, y\bar{c} &\rightarrow \bar{z}\bar{b}, \bar{z}\bar{c}, \\ \bar{z}x, \bar{x}ab &\rightarrow \bar{z}ab, \\ z\bar{x}\bar{y}, x\bar{a}, x\bar{b} &\rightarrow z\bar{a}\bar{y}, z\bar{b}\bar{y}, \\ z\bar{a}\bar{y}, ybc &\rightarrow z\bar{a}bc, \\ z\bar{b}\bar{y}, ybc &\rightarrow z\bar{b}b\bar{c}. \end{aligned}$$

Окончательные ограничения имеют вид: $(\bar{z}b, \bar{z}c, z\bar{a}bc)$. Ограничение $z\bar{b}b\bar{c}$ не учитывается, поскольку $\bar{b}b = 0$.

Если сравнить ограничения исходной схемы с ограничениями, полученными для схемы с введенной неисправностью, мы увидим, что некоторые ограничения, представленные в исходной схеме, отсутствуют среди ограничений результирующей схемы и наоборот. Эти ограничения показывают ситуации, в которых схема не будет работать правильно. В таблице №1 показаны все логические состояния характеристической функции для случая отсутствия неисправности (столбец 5) и для случая с неисправностью в элементе e_2 (столбец 6). Видно, что характеристическая

функция одинакова только в 4 случаях. Это означает, что выход из строя элемента e_2 наблюдается в 12 случаях из 16.

Таблица № 1

Значения характеристической функции комбинационной схемы

	Выход z	Вход a	Вход b	Вход c	Характеристическая функция f	Характеристическая функция f_e
Логическое состояние	0	0	0	0	1	0
	0	0	0	1	1	0
	0	0	1	0	1	0
	0	0	1	1	0	1
	0	1	0	0	1	0
	0	1	0	1	1	0
	0	1	1	0	0	0
	0	1	1	1	0	0
	1	0	0	0	0	1
	1	0	0	1	0	1
	1	0	1	0	0	1
	1	0	1	1	1	0
	1	1	0	0	0	1
	1	1	0	1	0	1
	1	1	1	1	0	1
	1	1	1	1	1	1

Для быстрой оценки влияния одиночной неисправности одного из логических элементов на выходы схемы достаточно найти и вычислить связь между выходным узлом этого элемента и выходными узлами схемы. Если импликация не содержит выходного узла элемента, в котором произошел отказ, это означает, что в этом случае схема сохранит правильное функционирование.

Использование логических ограничений потенциально может ускорить вычисление функции отказоустойчивости схемы. В связи с этим предлагается следующая последовательность действий для проведения ресинтеза:

1. Метод резолюций используется для получения логических ограничений схемы.

2. Выполняется ресинтез схемы с использованием функции потока ошибок и заменяются уязвимые подсхемы более устойчивыми к единичным отказам аналогами.

3. С помощью коэффициента логической чувствительности оценивается отказоустойчивость полученной схемы.

Заключение

В статье рассмотрены эффективные методы и подходы к оценке и повышению отказоустойчивости комбинационных логических схем. Предложена методика логического ресинтеза комбинационных схем с использованием математического аппарата метода резолюций, функции потока ошибок и коэффициента логической чувствительности. Данная методика может повысить скорость выполнения логического ресинтеза цифровых комбинационных схем и позволит повысить их отказоустойчивость к единичным отказам по сравнению с существующими подходами.

Работа выполнена при финансовой поддержке Минобрнауки в рамках государственного задания на выполнение научно-исследовательской работы «Разработка методики прототипирования электронной компонентной базы на отечественных микроэлектронных производствах на основе сервиса MPW» (FSMR-2023-0008).

Литература

1. Mahatme N.N., Gaspard N.J., Assis T., Jagannathan S., Chatterjee I., Loveless T.D., Bhuvu B.L., Massengill L.W., Wen S.J., Wong R. Impact of technology scaling on the combinational logic soft error rate // 2014 IEEE international reliability physics symposium. IEEE, 2014. pp. 5F.2.1-5F.2.6.

2. Хватов В.М. Теоретико-множественное представление сложно-функциональных блоков в системе автоматизированного проектирования

интегральных схем на основе реконфигурируемых систем на кристалле // Инженерный вестник Дона. 2023. №8. URL: ivdon.ru/ru/magazine/archive/n8y2023/8616 (дата обращения: 08.12.2023)

3. Hu Y., Feng Z., He L., Majumdar R. Robust FPGA resynthesis based on fault-tolerant Boolean matching // 2008 IEEE/ACM International Conference on Computer-Aided Design. IEEE, 2008. pp. 706-713.

4. Glebov A., Gavrilov S., Blaauw D., Sirichotiyakul S., Oh Ch., Zolotov V. False-noise analysis using logic implications // IEEE/ACM International Conference on Computer Aided Design. ICCAD 2001. IEEE/ACM Digest of Technical Papers (Cat. No. 01CH37281). IEEE, 2001. pp. 515-521.

5. Гаврилов С. Методы анализа логических корреляций для САПР цифровых КМОП СБИС / С. Гаврилов. Москва: Техносфера, 2011. 136 с.

6. Robinson J.A. A machine-oriented logic based on the resolution principle // Journal of the ACM (JACM). 1965. vol. 12. no. 1. pp. 23-41.

7. Lyons R. E., Vanderkulk W. The use of triple-modular redundancy to improve computer reliability // IBM journal of research and development. 1962. vol. 6. no. 2. pp. 200-209.

8. Kastensmidt F.L., Sterpone L., Carro L., Reorda M.S. On the optimal design of triple modular redundancy logic for SRAM-based FPGAs // Design, Automation and Test in Europe. IEEE, 2005. pp. 1290-1295.

9. Samudrala P.K., Ramos J., Katkoori S. Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs // IEEE transactions on Nuclear Science. 2004. vol. 51. no. 5. pp. 2957-2969.

10. Гуров С.И. Спектральный R-код с проверками на чётность // Прикладная математика и информатика. 2017. С. 91-96.

11. Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А., Тельпухова Н.В. Исследование вероятностных методов оценки логической уязвимости

комбинационных схем // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 4. С. 121-126.

12. Тельпухов Д.В., Рухлов В.С., Иванова Г.А., Рыжова Д.И., Надоленко В.В., Деменева А.И. Исследование вариантов частичного резервирования при проектировании сбоеустойчивых логических блоков ПЛИС // Инженерный вестник Дона. 2018. № 1. URL: ivdon.ru/ru/magazine/archive/n1y2018/4681 (дата обращения: 08.12.2023)

13. Cong J., Minkovich K. LUT-based FPGA technology mapping for reliability // Proceedings of the 47th Design Automation Conference. 2010. pp. 517-522.

References

1. Mahatme N.N., Gaspard N.J., Assis T., Jagannathan S., Chatterjee I., Loveless T.D., Bhuvu B.L., Massengill L.W., Wen S.J., Wong R. Impact of technology scaling on the combinational logic soft error rate, 2014 IEEE international reliability physics symposium. IEEE, 2014. pp. 5F.2.1-5F.2.6.

2. Khvatov V.M. Inzhenernyj vestnik Dona №.8. URL: ivdon.ru/ru/magazine/archive/n8y2023/8616 (accessed 08 December 2023).

3. Hu Y., Feng Z., He L., Majumdar R. Robust FPGA resynthesis based on fault-tolerant Boolean matching, 2008 IEEE/ACM International Conference on Computer-Aided Design. IEEE, 2008. pp. 706-713.

4. Glebov A., Gavrilov S., Blaauw D., Sirichotiyakul S., Oh Ch., Zolotov V. False-noise analysis using logic implications, IEEE/ACM International Conference on Computer Aided Design. ICCAD 2001. IEEE/ACM Digest of Technical Papers (Cat. No. 01CH37281). IEEE, 2001. pp. 515-521.

5. Gavrilov S.V. Metody analiza logisheskih korreljacij dlja SAPR cifrovyh KMOP SBIS. Moskva: Tekhnosfera. 2011. 136 p.

6. Robinson J.A. A machine-oriented logic based on the resolution principle, Journal of the ACM (JACM). 1965. vol. 12. no. 1. pp. 23-41.



7. Lyons R. E., Vanderkulk W. IBM journal of research and development. 1962. vol. 6. no. 2. pp. 200-209.
8. Kastensmidt F.L., Sterpone L., Carro L., Reorda M.S. Design, Automation and Test in Europe. IEEE, 2005. pp. 1290-1295.
9. Samudrala P.K., Ramos J., Katkoori S. Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs, IEEE transactions on Nuclear Science. 2004. vol. 51. no. 5. pp. 2957-2969.
10. Gurov S.I., Prikladnaja matematika i informatika. 2017. pp. 91-96.
11. Stempkovsky A.L., Telpukhov D.V., Solovyev R.A., Telpukhova N.V. Problems of Perspective Micro- and Nanoelectronic Systems Development (MES). 2016. №. 4. pp. 121-126.
12. Tel'pukhov D.V., Rukhlov V.S., Ivanova G. A., Ryzhova D.I., Nadolenko V.V, Demeneva A.I. Inzhenernyj vestnik Dona, 2018, №1. URL: ivdon.ru/ru/magazine/archive/n1y2018/4681 (accessed 08 December 2023)
13. Cong J., Minkovich K. Proceedings of the 47th Design Automation Conference. 2010. pp. 517-522.

Дата поступления: 8.11.2023

Дата публикации: 18.12.2023